

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-204433

(43)Date of publication of application : 19.07.2002

(51)Int.Cl.

H04N 7/01

(21)Application number : 2000-400125 (71)Applicant : FUJITSU GENERAL LTD

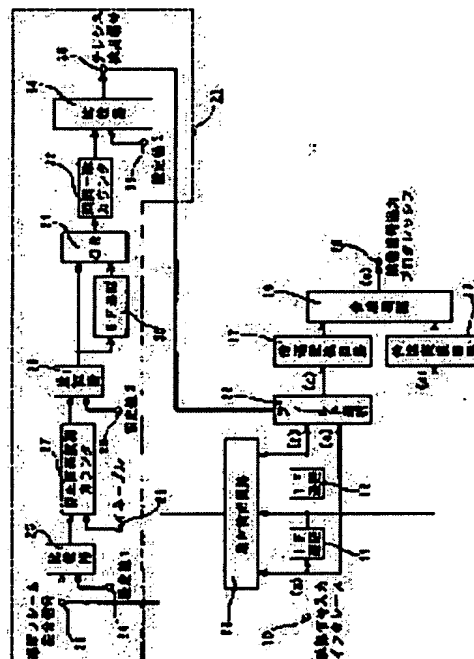
(22)Date of filing : 28.12.2000 (72)Inventor : MATSUNAGA SEIJI  
IKEDA MAKOTO  
ONODERA JUNICHI

## (54) VIDEO SIGNAL PROCESSING CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a video signal processing circuit that can conduct detailed control by allowing a telecine detection circuit to detect a telecine signal in the unit of one pixel for a plurality of number of times.

**SOLUTION:** In the video signal processing circuit that detects a motion from a current interlace video signal and a 2F delay signal, detects whether or not the video signal is a telecine signal depending on the presence of the motion, selects either the current video signal or the 2F delay signal depending on a telecine detection signal and synthesizes the selected signal with a 1F delay signal to provide an output of the result as a progressive signal, the telecine



detection circuit 21 comprises a counter 27 that first counts one image pattern of pixels of a still picture with a small luminance frame difference in the unit of pixels, a counter 32 that counts number of coincident times on the basis of the coincidence between a pattern of a signal regarded to represent a coincident pattern when the counts is a setting value or over and an image pattern of a signal delayed from the signal above, and a comparator 34 that judges whether or not the video signal is a telecine signal depending on whether the pattern coincident count is greater than a setting value or not and provides an output.

## LEGAL STATUS

**BEST AVAILABLE COPY**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-204433

(P2002-204433A)

(43)公開日 平成14年7月19日(2002.7.19)

(51) Int.Cl.<sup>7</sup>

H04N 7/01

識別記号

FI

H 0 4 N 7/01

### テーマコート\* (参考)

G 5 C 0 6 3

審査請求 未請求 請求項の数5 O.L (全 8 頁)

(21)出願番号 特願2000-400125(P2000-400125)

(22) 出願日 平成12年12月28日(2000. 12. 28)

(71)出願人 000006611

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72) 発明者 松永 誠司

神奈川県川崎市高津区末長1116番地 株式  
会社富士通ゼネラル内

(72) 発明者 池田 誠

神奈川県川崎市高津区末長1116番地 株式  
会社富士通ゼネラル内

(74) 代理人 100076255

弁理士 古澤 俊明

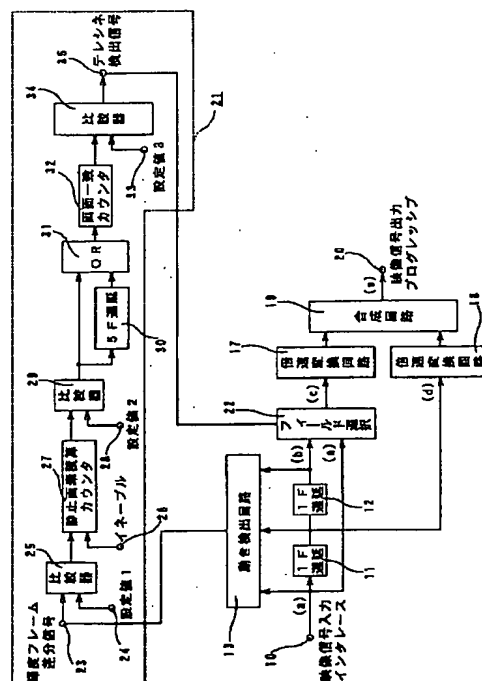
[最終頁に続く](#)

(54) 【発明の名称】 映像信号処理回路

(57) 【要約】

【課題】 テレシネ検出回路において、1画素単位で、しかも、複数回で検出してよりきめの細かい制御を可能にした回路を提供すること。

【解決手段】 インタレース映像の現信号と２Ｆ遅延信号とから動きを検出し、この信号の有無によりテレビ信号かどうかを検出し、このテレビ検出力で現信号と２Ｆ遅延信号とのいずれかを選択し、この選択した信号と１Ｆ遅延信号を合成してプログレッシブ信号として出力する映像信号処理回路において、テレビ検出回路２１は、輝度フレーム差分の小さい静止画をまず、画素単位で１画面分カウントするカウンタ２７と、このカウント値が設定値以上のときの画面一致とみなす信号と５Ｆ遅延した画面との一致をみて一致回数をカウントするカウンタ３２と、この画面一致カウント値が設定値より大きいかどうかでテレビかどうかを判断して出力する比較器３４とからなるものである。



## 【特許請求の範囲】

【請求項1】 入力したインタレース映像信号の現信号と2F遅延信号とから動き検出回路13にて動きを検出し、この動き検出信号の有無によりテレシネ検出回路21にてテレシネ信号かどうかを検出し、このテレシネ検出出力で現信号と2F遅延信号とのいずれかを選択し、この選択した信号と1F遅延信号を合成してプログレッシブ信号として出力する映像信号処理回路において、前記テレシネ検出回路21は、1画面分の静止画素数をカウントする静止画素積算カウンタ27と、この静止画素積算カウンタ27からのカウント値が設定値以上のときの画面一致とみなす信号と5F遅延した画面との一致をみて一致回数をカウントする画面一致カウンタ32と、この画面一致カウンタ32のカウント値が設定値を越えるとテレシネ検出信号を出力する比較器34とを具備してなることを特徴とする映像信号処理回路。

【請求項2】 入力したインタレース映像信号の現信号と2F遅延信号とから動き検出回路13にて動きを検出し、この動き検出信号の有無によりテレシネ検出回路21にてテレシネ信号かどうかを検出し、このテレシネ検出出力で現信号と2F遅延信号とのいずれかを選択し、この選択した信号と1F遅延信号を合成してプログレッシブ信号として出力する映像信号処理回路において、前記テレシネ検出回路21は、動き検出回路13から入力した輝度フレーム差分信号と設定値とを比較して差分の小さな信号を静止画素と判定する比較器25と、この比較器25からの1画面分の静止画素数をカウントする静止画素積算カウンタ27と、この1画面分の静止画素のカウント値と設定値とを比較判定し、設定値以上のときに画面一致とみなす信号を出力する比較器29と、この比較器29のカウント値と5F遅延した画面のカウント値との一致をみるOR回路31と、このOR回路31の画面一致回数をカウントする画面一致カウンタ32と、この画面一致カウンタ32のカウント値と設定値とを比較し、設定値を越えるとテレシネ検出信号を出力する比較器34とを具備してなることを特徴とする映像信号処理回路。

【請求項3】 テレシネ検出信号を出力する比較器34は、設定値として上限値と下限値にある幅を持たせたヒステリシス特性回路41に代えたことを特徴とする請求項2記載の映像信号処理回路。

【請求項4】 静止画素積算カウンタ27と画面一致カウンタ32との間に、静止画素積算カウンタ27でカウントした静止画素数が略完全静止画のときの画素数に設定された設定値以上のとき出力する比較器37と、連続して画面が一致したときの静止画面数をカウントする静止カウンタ38と、この静止カウンタ38の静止画面数が設定値を越えると、テレシネ信号でないものと判断して画面一致カウンタ32を0セットする比較器40とを挿入してなることを特徴とする請求項2又は3記載の映

像信号処理回路。

【請求項5】 比較器29と画面一致カウンタ32との間に、静止画素積算カウンタ27からの1画面中の静止画素数が設定値より大きいときに画面一致とみなす信号を出力する比較器29からの画面一致信号をカウントする静止カウンタ38と、この静止カウンタ38の静止画面数が設定値を越えると、テレシネ信号でないものと判断して画面一致カウンタ32を0セットする比較器40とを挿入してなることを特徴とする請求項2又は3記載の映像信号処理回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、NTSC信号がテレシネ変換されたものかどうかを検出して、映画素材に対して適切な処理を行うI/P（インタレース/プログレッシブ）変換処理において、映画素材からテレシネ信号かどうかを検出して処理をする映像信号処理回路に関するものである。

【0002】

【従来の技術】図6（a）に示すように、映画等の毎秒24コマで撮影された信号は、奇数コマが2フィールドに、偶数コマが3フィールドになるように、1コマを2-3プルダウン処理をすることによって（b）に示すように、毎秒60フィールドで構成されるインタレース信号に変換され、放送、パッケージ化されている。また、奇数コマが3フィールドに、偶数コマが2フィールドになるように、1コマを3-2プルダウン処理をするのも同様である。なお、（b）において、添字uは、「上」を表し、bは、「下」を表すものとする。

【0003】インタレース走査のNTSC信号を、PDP（プラズマディスプレイパネル）等のプログレッシブ走査のパネルに表示する場合、図5に示すような動き適応I/P（インタレース/プログレッシブ）変換処理が行われる。この図5において、インタレースの映像信号入力端子10に入力したインタレース映像信号は、遅延なしの信号と、1F遅延回路11による1F遅延の信号と、さらに1F遅延回路12をへた2F遅延信号とが動き検出回路13へ送られて映像の動きが検出される。この動き検出回路13で動きの有無を検出すると、動き適応内挿回路16による動き適応I/P変換によって、図7（a）に示すようなフィールド間内挿回路15の出力又は（b）に示すようなフィールド内内挿回路14の出力を選択する。そして、動き適応内挿回路16によって選択された信号と1F遅延信号とがそれぞれ倍速変換回路17と倍速変換回路18を経て、出力が合成回路19で合成されてプログレッシブ映像信号出力端子20からプログレッシブの映像信号が出力する。

【0004】すなわち、このような従来回路では、インタレースの映像信号入力端子10に入力した信号がテレシネ変換された信号かどうかに関係なく、静止画部分で

は、2つのフィールドからフィールド間内挿で1枚のフレームを構成し、また、動画部分では、1つのフィールドからフィールド内内挿で1枚のフレームを構成する。このため、テレシネ変換された信号では、AとB、BとC、CとD、…等のように、違うコマから作られたフレーム(図7において斜線の網掛けをした部分)が存在するため、画質劣化するという問題があった。

【0005】このような問題を解決するために、図8に示すように、動き検出回路13の後段にテレシネ検出回路21を挿入したものがあ(特開平5-183884号、特開平8-237694号)。この図8において、インタレース映像信号入力端子10には、図9(a)に示すようなテレシネ信号が入力したものとす。この入力信号は、1F遅延回路11と1F遅延回路12とで遅延して、2F遅延した図9(b)に示すような信号が出力する。テレシネ検出回路21でテレシネが検出されると、これらの(a)と(b)のうちのいずれか一方、すなわち、同じコマから作られたフィールドが選択されて図9(c)に示すような信号が出力する。この信号と、1フィールド遅延した図9(d)に示すような信号とがそれぞれ倍速変換回路17、倍速変換回路18を経て合成回路19で合成され、図9(e)に示すようなすべて同一のコマから作られたフィールド信号が出力する。

【0006】

【発明が解決しようとする課題】以上のように、図8に示した従来回路では、違うコマから作られたフレームが存在することによる画質劣化という問題は解決している。しかし、特開平5-183884号では、1フィールドを積分して1フィールド単位で5回に1回で検出しているため、大きなノイズ、例えば、白のノイズによる影響が大きく、大ざっぱな制御しかできないという問題があった。

【0007】また、フィルムから映像信号を形成したテレシネ映像信号では、フィルムのコマ送り時にモータの回転むら、ギヤなどの機械的要因にて画像にぶれが生じる場合が多くある。フィルムのコマ送りは、一般的に上下送りとなるために、ぶれの発生は、縦方向に多くあり、横方向は少なくなる。特開平8-237694号は、縦ぶれ成分の基準値を横ぶれ成分の基準値より大きく設定して、これらの基準値以下に制限して機械的要因により、テレシネ映像信号を有効に検出できないという問題点を解決しようとしているのであり、テレシネ信号のみを検出しようとする本発明とは、その目的が相違している。

【0008】本発明は、テレシネ検出回路において、1画素単位で、しかも、複数回で検出してよりきめの細かい制御を可能にした回路を提供することを目的とするものである。

【0009】

【課題を解決するための手段】本発明は、入力したイン

タレース映像信号の現信号と2F遅延信号とから動き検出回路13にて動きを検出し、この動き検出信号の有無によりテレシネ検出回路21にてテレシネ信号かどうかを検出し、このテレシネ検出力で現信号と2F遅延信号とのいずれかを選択し、この選択した信号と1F遅延信号を合成してプログレッシブ信号として出力する映像信号処理回路において、前記テレシネ検出回路21は、1画面分の静止画素数をカウントする静止画素積算カウンタ27と、この静止画素積算カウンタ27からのカウント値が設定値以上のときの画面一致とみなす信号と5F遅延した画面との一致をみて一致回数をカウントする画面一致カウンタ32と、この画面一致カウンタ32のカウント値が設定値を越えるとテレシネ検出信号を出力する比較器34とを具備してなることを特徴とする映像信号処理回路である。

【0010】このような構成とすることにより、輝度フレーム差分の小さい静止画をまず、画素単位で1画面分カウントし、この1画面分の一致が設定値より大きいかどうかを判定し、ついで、このカウント値と5フィールド遅延したものと画面の一致の回数をカウントし、この画面の一致回数が設定値より大きいかどうかでテレシネかどうかを判断するようにしたものである。従って、きめの細かな制御ができ、画質の劣化を極力抑えることができる。

【0011】

【発明の実施の形態】本発明の第1実施例を図1に基づき説明する。図1において、インタレースの映像信号入力端子10、1F遅延回路11、1F遅延回路12、動き検出回路13、フィールド選択回路22、倍速変換回路17、倍速変換回路18、合成回路19及びプログレッシブ映像信号出力端子20については、図8と変わるところはない。

【0012】本発明によるテレシネ検出回路21は、1画素単位でテレシネ信号かどうかを判断するデータを取り込むようにした回路であり、輝度フレーム差分信号入力端子23には、動き検出回路13から現フィールドと、1F遅延回路11と1F遅延回路12で2フィールド遅延したフィールドとの輝度フレーム差分信号が入力する。比較器25では、輝度フレーム差分信号入力端子23に入力した輝度フレーム差分信号と設定値1入力端子24からの設定値信号とを比較し、輝度フレーム差分が大きいときは、動画素と判定し、小さいときは静止画素と判定し、静止画素のときの信号を出力する。設定値1入力端子24からの設定値信号は、大きくすることで雑音の多い映像においても安定したテレシネ検出ができる。

【0013】静止画素積算カウンタ27では、イネーブル信号入力端子26からの1画面分のイネーブル信号の入力時に、比較器25からの静止画素数をカウントする。レターボックスの映画素材の場合に、イネーブルで

上下の帯の部分を除いて静止画素積算カウンタ27を動作させることで、より正確なテレシネ検出を行うことができる。比較器29では、静止画素積算カウンタ27からの1画面中の静止画素数と設定値2入力端子28からの設定値とを比較し、1画面中の静止画素数が設定値より大きいときは、画面を一応、静止画とみなす一致出力となり、小さいときは、画面を一応、動画とみなす不一致出力となる。設定値2入力端子28からの設定値は、大きくすることで雑音の多い映像においても安定したテレシネ検出ができる。OR回路31では、現画面と5F遅延回路30で5フィールド遅延した画面との一致をみる。この5フィールド遅延との一致をみるのは、TV信号では、静止画以外では、5フィールド遅延との一致はほとんどあり得ないが、テレシネ信号では、5フィールド遅延の一致が生じる可能性が大きいことによる。

【0014】画面一致カウンタ32では、画面の一致が何回あるかがカウントされる。比較器34では、画面一致カウンタ32での画面一致回数と設定値3入力端子33の設定値とを比較し、画面一致回数が設定値より大きいときは、テレシネ信号と判定してテレシネ検出信号出力端子35からテレシネ検出信号を出力する。設定値より小さいときは、テレシネ検出信号が現れない。このテレシネ検出信号出力端子35からのテレシネ検出信号は、フィールド選択回路22へ送られる。以下の動作は、図8の場合と同様である。前記設定値3入力端子33からの設定値は、大きくすることで雑音の多い映像においても安定したテレシネ検出ができる。

【0015】以上のように、輝度フレーム差分の小さい静止画をまず、画素単位で1画面分カウントし、この1画面分の一致が設定値より大きいかどうかを判定し、ついで、このカウント値と5フィールド遅延したものと画面の一致の回数をカウントし、この画面の一致回数が設定値より大きいかどうかでテレシネかどうかを判断するようにしたものである。従って、このように画素単位とすることで、きめの細かな制御ができ、画質の劣化を極力抑えることができる。

【0016】図2は、本発明の第2実施例を示すものである。図1に示す第1実施例における比較器34は、設定値3入力端子33の設定値より大きければテレシネ信号で、それより小さければテレシネ信号以外の信号と判断するようにした。従って、画面一致カウンタ32の出力が設定値3入力端子33の設定値の付近を上下すると、テレシネ信号と判断したり、テレシネ信号以外の信号と判断たりすることを繰り返して動作が不安定になる。そこで、図2に示す本発明の第2実施例では、比較器34に代えてヒステリシス特性回路41とし、設定値3入力端子33からは、設定値として上限値と下限値にある幅を持たせたものである。このような構成とすることにより、ヒステリシス特性回路41は、設定値3入力端子33の上限値より大きくなるとテレシネ信号と判断

するが、上限値より大きくなった後に上限値より小さくなくてもそのままテレシネ信号と判断し、下限値よりさらに小さくなったときにテレシネ信号以外の信号と判断し、また、下限値より小さくなった後に下限値より大きくなってもそのままテレシネ信号以外の信号と判断し、上限値より大きくなったときにテレシネ信号と判断するようにしたものである。このように設定値に幅を持たせることにより、動作が安定する。上下値と下限値の差分（ヒステリシス）を大きくすることで、雑音の多い映像においても安定したテレシネ検出ができる。

【0017】図3は、本発明の第3実施例を示すものである。図1及び図2に示す実施例では、VTR等の一時停止状態では、静止画面が連続するので、これをテレシネ信号と判断する恐れがある。このような場合には、テレシネ信号でないかと判断することが必要である。図3は、このような点を改良したもので、静止画素積算カウンタ27と画面一致カウンタ32との間に比較器37、静止カウンタ38、比較器40を挿入したものである。前記比較器37では、静止画素積算カウンタ27でカウントした静止画素数と設定値4入力端子36の設定値とを比較し、静止画素数が設定値以上のとき出力する。ここで、設定値4入力端子36の設定値を、設定値2入力端子28の設定値よりも大きく、かつ、略完全静止画のときの画素数に設定することで、前記静止カウンタ38では、VTR等の一時停止状態のように、連続して画面が完全に一致したような場合に、その静止画面数をカウントする。前記比較器40では、この静止画面数が設定値5入力端子39の設定値と比較し、設定値を越えると、画面が一時停止等により静止しているものと判断して出力する。そして、この比較器40の出力によって画面一致カウンタ32を0セットし、テレシネ信号でないものとする。このような構成とすることにより、連続して画面が一致したようなテレシネ信号以外の信号での静止画面をテレシネ信号と誤判断するのを防いでいる。

【0018】図4は、本発明の第4実施例を示すもので、この例では、図3における比較器37を省略し、比較器29の出力をVTR等の一時停止状態のような連続して画面が完全に一致した静止画面数として、静止カウンタ38でカウントするようにしたものである。すなわち、比較器29からは、静止画素積算カウンタ27からの1画面中の静止画素数が設定値2入力端子28からの設定値より大きいときは、画面を一応、静止画とみなす一致出力となり、小さいときは、画面を一応、動画とみなす不一致出力となるので、この比較器29からの画面一致の信号を静止カウンタ38でカウントし、このカウント値と、設定値5入力端子39にて設定したVTR等の一時停止状態検出用の設定値と比較し、設定値を越えると、画面が一時停止等により静止しているものと判断して比較器40から出力し、この比較器40の出力によって画面一致カウンタ32を0セットし、テレシネ信号

でないものとする。

【0019】

【発明の効果】請求項1記載の発明によれば、映像信号処理回路において、テレシネ検出回路21は、1画面分の静止画素数をカウントする静止画素積算カウンタ27と、この静止画素積算カウンタ27からのカウント値が設定値以上のときの画面一致とみなす信号と5F遅延した画面との一致をみて一致回数をカウントする画面一致カウンタ32と、この画面一致カウンタ32のカウント値が設定値を越えるとテレシネ検出信号を出力する比較器34とを具備し、輝度フレーム差分の小さい静止画をまず、画素単位で1画面分カウントし、この1画面分の一致が設定値より大きいかどうかを判定し、ついで、このカウント値と5フィールド遅延したものとの画面の一致の回数をカウントし、この画面の一致回数が設定値より大きいかどうかでテレシネかどうかを判断するようにしたものである。従って、画素単位とすることで、きめの細かな制御ができ、画質の劣化を極力抑えることができる。

【0020】請求項2記載の発明によれば、映像信号処理回路において、テレシネ検出回路21は、動き検出回路13から入力した輝度フレーム差分信号と設定値とを比較して差分の小さな信号を静止画素と判定する比較器25と、この比較器25からの1画面分の静止画素数をカウントする静止画素積算カウンタ27と、この1画面分の静止画素のカウント値と設定値とを比較判定し、設定値以上のときに画面一致とみなす信号を出力する比較器29と、この比較器29のカウント値と5F遅延した画面のカウント値との一致をみるOR回路31と、このOR回路31の画面一致回数をカウントする画面一致カウンタ32と、この画面一致カウンタ32のカウント値と設定値とを比較し、設定値を越えるとテレシネ検出信号を出力する比較器34とを具備してなるので、回路構成が簡単で安価に提供できる。

【0021】請求項3記載の発明によれば、テレシネ検出信号を出力する比較器34は、設定値として上限値と下限値にある幅を持たせたヒステリシス特性回路41に代えたので、画面一致カウンタ32の出力が設定値3入力端子33の設定値の付近を上下しても、テレシネ信号と判断したり、テレシネ信号以外の信号と判断たりすることがなく、動作が安定する。

【0022】請求項4記載の発明によれば、静止画素積算カウンタ27と画面一致カウンタ32との間に、静止画素積算カウンタ27でカウントした静止画素数が略完全静止画のときの画素数に設定された設定値以上のとき出力する比較器37と、連続して画面が一致したときの静止画面数をカウントする静止カウンタ38と、この静止カウンタ38の静止画面数が設定値を越えると、テレシネ信号でないものと判断して画面一致カウンタ32を0セットする比較器40とを挿入してなるので、連続し

て画面が一致したようなテレシネ信号以外の信号での静止画面をテレシネ信号と誤判断するのを防止することができる。

【0023】請求項5記載の発明によれば、比較器29と画面一致カウンタ32との間に、静止画素積算カウンタ27からの1画面中の静止画素数が設定値より大きいときに画面一致とみなす信号を出力する比較器29からの画面一致信号をカウントする静止カウンタ38と、この静止カウンタ38の静止画面数が設定値を越えると、テレシネ信号でないものと判断して画面一致カウンタ32を0セットする比較器40とを挿入してなるので、より簡単な構成により、連続して画面が一致したようなテレシネ信号以外の信号での静止画面をテレシネ信号と誤判断するのを防止することができる。

【図面の簡単な説明】

【図1】本発明による映像信号処理回路の第1実施例を示すブロック図である。

【図2】本発明による映像信号処理回路の要部であるテレシネ検出回路21の第2実施例を示すブロック図である。

【図3】本発明による映像信号処理回路の要部であるテレシネ検出回路21の第3実施例を示すブロック図である。

【図4】本発明による映像信号処理回路の要部であるテレシネ検出回路21の第4実施例を示すブロック図である。

【図5】従来の映像信号処理回路のブロック図である。

【図6】毎秒24コマで撮影された映画等の信号を2-3プルダウン処理をすることによって毎秒60フィールドで構成されるインタレース信号に変換する説明図である。

【図7】図5に示した従来の映像信号処理回路によるI/P（インタレース/プログレッシブ）変換処理の説明図である。

【図8】改良後の従来の映像信号処理回路のブロック図である。

【図9】図8に示した従来の映像信号処理回路によるI/P（インタレース/プログレッシブ）変換処理の説明図である。

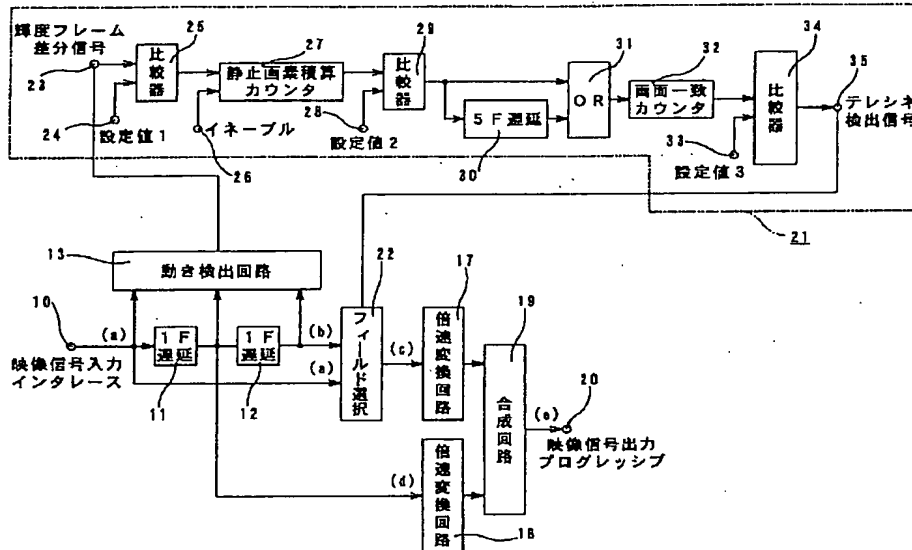
【符号の説明】

10…インタレース映像信号入力端子、11…1F遅延回路、12…1F遅延回路、13…動き検出回路、14…フィールド内挿回路、15…フィールド間内挿回路、16…動き適応内挿回路、17…倍速変換回路、18…倍速変換回路、19…合成回路、20…プログレッシブ映像信号出力端子、21…テレシネ検出回路、22…フィールド選択回路、23…輝度フレーム差分信号入力端子、24…設定値1入力端子、25…比較器、26…イネーブル信号入力端子、27…静止画素積算カウンタ、28…設定値2入力端子、29…比較器、30…5

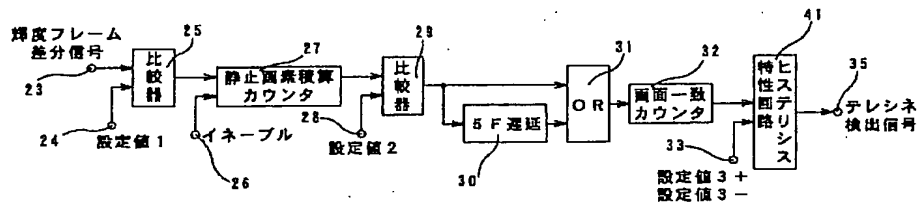
F遅延回路、31…OR回路、32…画面一致カウンタ、33…設定値3入力端子、34…比較器、35…テレビネ検出信号出力端子、36…設定値4入力端子、3

7…比較器、38…静止カウンタ、39…設定値5入力端子、40…比較器、41…ヒステリシス特性回路。

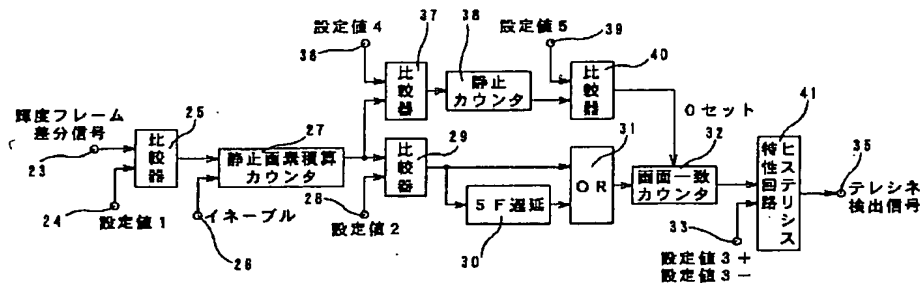
【図1】



【図2】

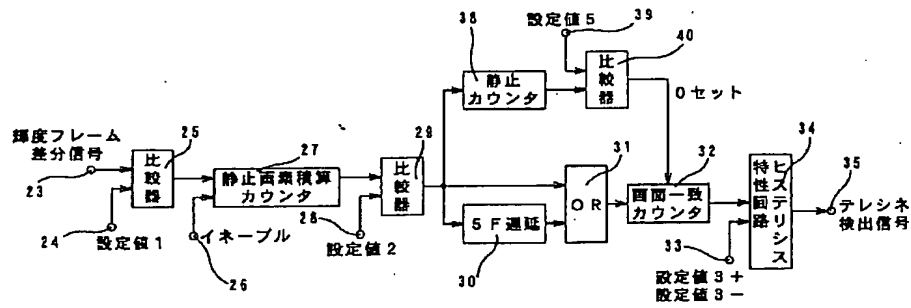


【図3】

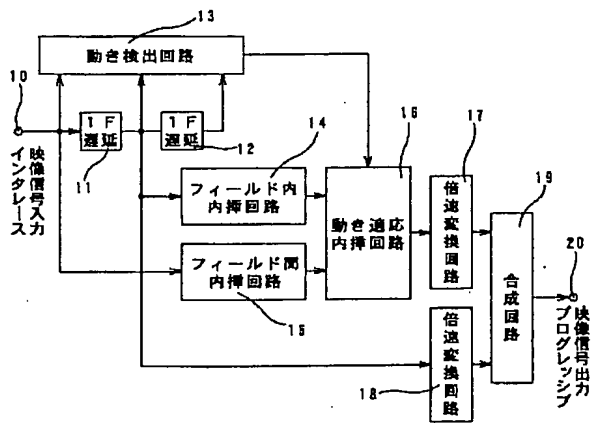




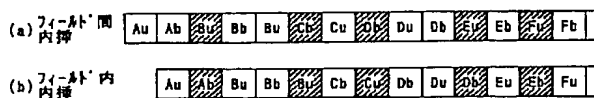
【図4】



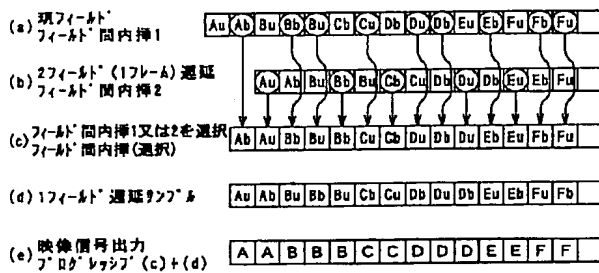
【図5】



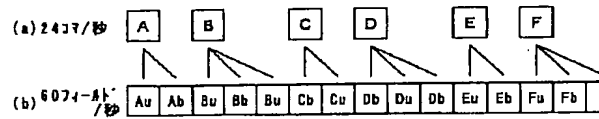
【図7】



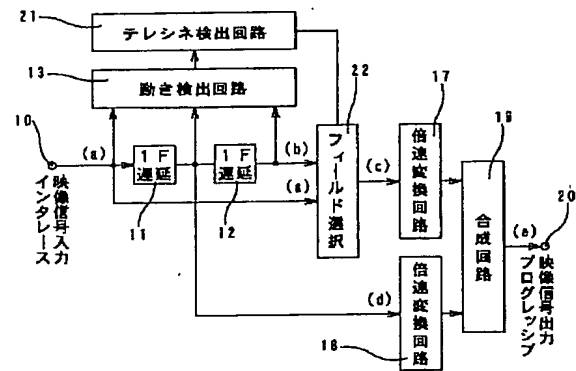
【図9】



【図6】



【図8】



フロントページの続き

(72)発明者 小野寺 純一  
神奈川県川崎市高津区末長1116番地 株式  
会社富士通ゼネラル内

Fターム(参考) 5C063 AA02 AC01 BA04 BA10 BA12  
CA05 CA40